

2026 VLSI Review

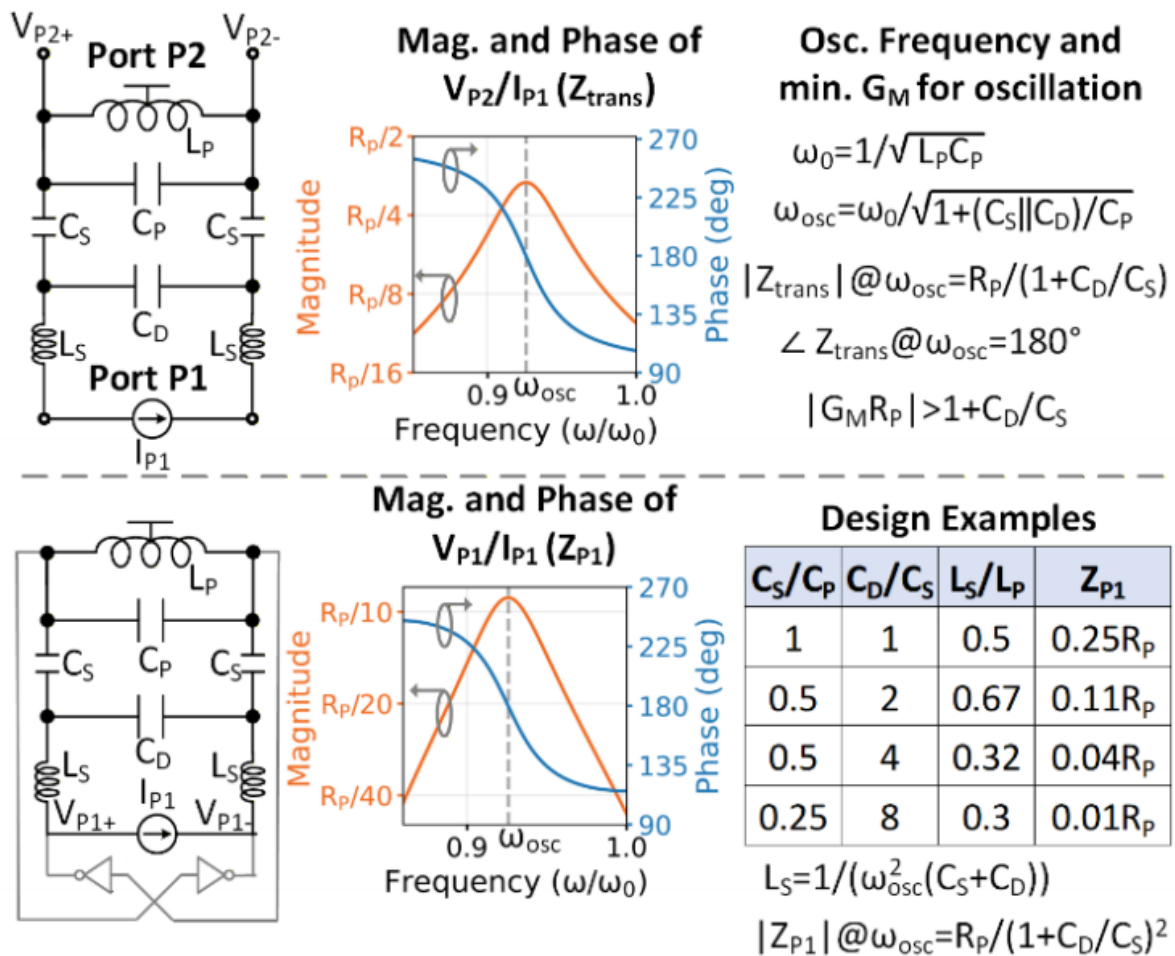
단국대학교 파운드리공학과 석사과정 임재영

Session 16 Low-Power Oscillators and Digital Techniques

이번 VLSI 2026 Session 16에서는 저전력 클록 생성과 디지털 회로의 전력 및 면적 효율을 향상시키기 위한 다양한 연구들이 소개되었다. 특히 낮은 위상 잡음을 달성하기 위한 고성능 발진기와 저전력 디지털 회로를 중심으로, 제한된 전력과 면적에서 회로 성능을 향상시키기 위한 새로운 구조들이 발표되었다. 본 리뷰에서는 새로운 공진 네트워크를 통해 낮은 위상 잡음과 높은 전력 효율을 달성한 #16-1 CSA-PR VCO를 중심으로 그 구조와 핵심 아이디어를 살펴본다.

#16-1 본 논문은 스위스 ETH Zurich에서 발표한 연구로, 높은 전력 및 면적 효율을 유지하면서 낮은 위상 잡음(Phase Noise, PN)을 달성하기 위한 Capacitively-Coupled Series-Assisted Parallel-Resonance(CSA-PR) VCO 구조를 제안하였다. 고속 데이터 변환기와 무선·유선 통신 시스템에서는 저지터 클록 생성을 위해 VCO의 위상 잡음을 줄이는 것이 중요하다. 기존에는 여러 VCO 코어를 병렬로 연결하거나 series-resonance 구조를 이용하여 유효 탱크 임피던스를 낮추고 공진기에 더 많은 전력을 공급함으로써 위상 잡음을 개선하였다. 그러나 multi-core 구조는 큰 면적과 코어 간 mismatch 문제를 가지며, 기존 series-resonance 구조는 높은 소비전력을 요구하는 한계가 있다. 이를 해결하기 위해 제안된 CSA-PR VCO는 parallel LC resonator에 C_s , C_D , L_s 로 구성된 보조 공진 네트워크를 capacitive coupling하는 구조를 사용한다. C_D/C_s 비율을 조절하면 active circuit에서 바라보는 유효 탱크 임피던스를 변화시킬 수 있으며, 이를 통해 제한된 voltage swing에서도 공진기에 더 많은 전력을 공급하여 위상 잡음을 감소시킬 수 있다. 또한 capacitor ratio를 통해 탱크 임피던스를 조절할 수 있어 요구되는 소비전력과 위상 잡음에 따라 동작점을 유연하게 설정할 수 있다. 제안된 공진 네트워크는 passive voltage gain과 waveform shaping을 통해 위상 잡음을 추가적으로 개선한다. LC network에서 발생하는 passive voltage gain을 이용하여 cross-coupled inverter의 gate에 더 큰 signal swing을 전달하며, 보조 인덕터 L_s 는 C_s 와 C_D 에 의해 발생하는 capacitive reactance를 상쇄한다. 이를 통해 gate와 drain 신호 사이의 위상 차이를 줄이고 rising 및 falling transition의 대칭성을 향상시켜 transistor의 flicker noise가 위상 잡음으로 변환되는 flicker-noise upconversion을 억제하였다. 측정결과, 22 nm FDSOI CMOS 공정으로 제작된 VCO는 $0.14mm^2$ 의 core area에서 5.7–6.8 GHz의 주파수 tuning range와 10.1–11.8mW의 소비전력을 달성하였다. 또한 10MHz offset에서 최대 -148.8dBc/Hz의 위상 잡음과 193.5dB의 FoM을 기록하였다. C_D 조절을 통해 약 3.3dB의 위상 잡음 조절 범위를 확보하면서도 FoM 변화는 1dB 이내로

유지하여, 소비전력과 위상 잡음 사이의 유연한 조절 가능성을 측정을 통해 확인하였다. 결과적으로 본 연구는 capacitive coupling을 이용한 임피던스 조절과 passive voltage gain, waveform shaping을 하나의 공진 네트워크에서 구현함으로써 낮은 위상 잡음과 높은 전력 및 면적 효율을 동시에 확보하였다. 이를 통해 저지터 PLL과 고성능 클록 생성 회로에서 요구되는 소비전력과 위상 잡음을 유연하게 최적화할 수 있는 새로운 VCO 설계 방향을 제시하였다.



[그림 1] 제안된 CSA-PR VCO의 공진 네트워크 및 동작 원리

저자정보



임재영 석사과정 대학원생

- 소속 : 단국대학교
- 연구분야 : clock generators
- 이메일 : lly72250338@dankook.ac.kr
- 홈페이지 : <https://sites.google.com/dankook.ac.kr/acs-lab>